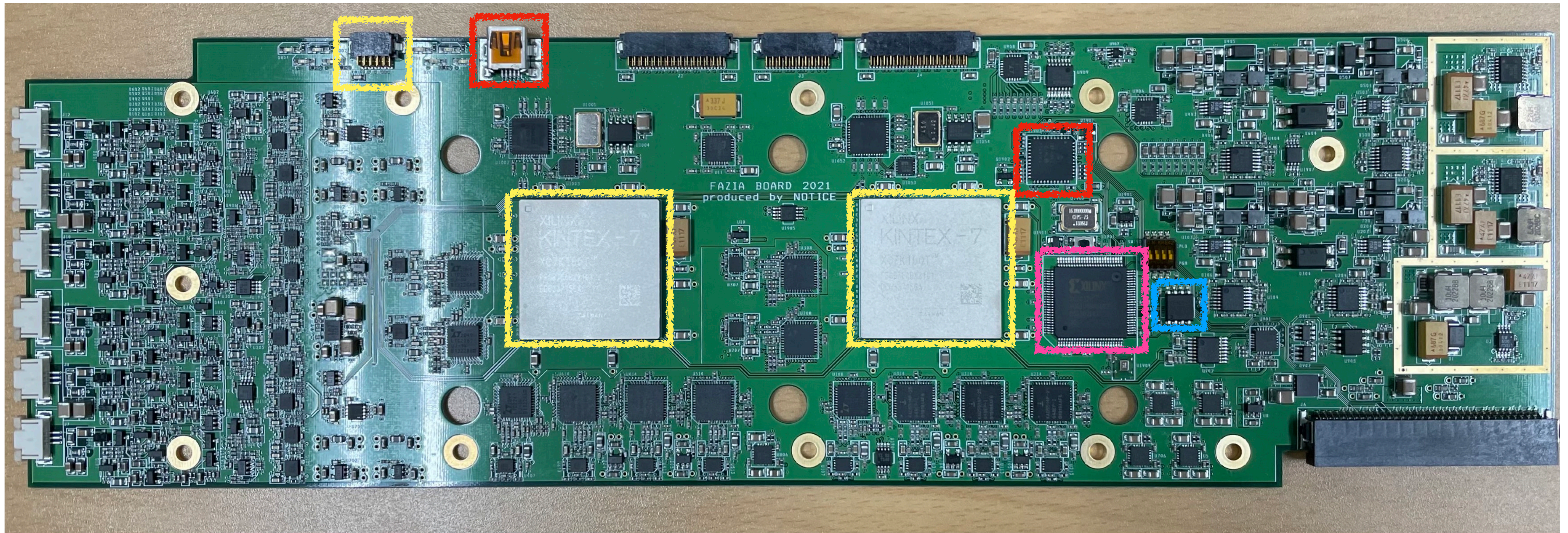


# FAZIA Status Meeting

-Jeonghyeok Park-

# 1. FAZIA board - Korea



2 FPGA(Kintex-7) Chips : ADC

PIC : **MCU**/메모리 업로더(CPLD) 프로그램 가능 <-> PC 통신으로 보드테스트

CPLD : 플래시메모리 -> FPGA 프로그램

JTAG : FPGA, PIC 프로그램

## 2. FAZIA board - Problem

- PIC(MCU) <-> 보드 전체 신호 통신 문제 : main problem
- PIC sdo(보냄), sdi(받음) : sdi 신호 이상
- CPLD(김상열 박사님 프로그램) 신호 방해 -> 다시 프로그램
- FPGA VHDL 코드 내 LockDetect 신호가 원인
  - LockDetect : 외부와 내부 clock 신호를 맞춰주는 component
- VHDL(Kintex-7) 코드 수정, CPLD 코드 수정